

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246333

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 21/288

C25D 7/12

H01L 21/28

H01S 5/042

H01S 5/22

(21)Application number : 2001-041188

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.02.2001

(72)Inventor : HANAMAKI YOSHIHIKO

TANAKA TOSHIO

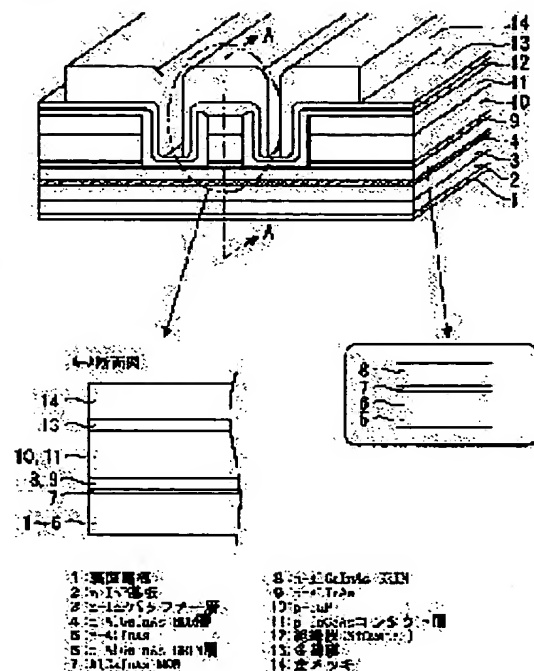
TAKIGUCHI TORU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a failure where an electrode is dissolved by a current that is concentrated excessively.

SOLUTION: This semiconductor device is operated, by injecting a current from the electrode, having a gold thin film 13 and gold plating 14 formed on the gold thin film 13. In the semiconductor device, the gold plating 14 is formed so that the gold thin film 13 is entirely covered, thus eliminating the interface between the gold thin film 13 and gold plating 14, and removing a site where the excessive current concentrates in the gold thin film 13.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-246333
(P2002-246333A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/288		H 0 1 L 21/288	M 4 K 0 2 4 E 4 M 1 0 4 Z 5 F 0 7 3
C 2 5 D 7/12		C 2 5 D 7/12	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 H
審査請求 未請求 請求項の数14 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2001-41188(P2001-41188)

(22) 出願日 平成13年2月19日 (2001.2.19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 花巻 吉彦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 田中 利夫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

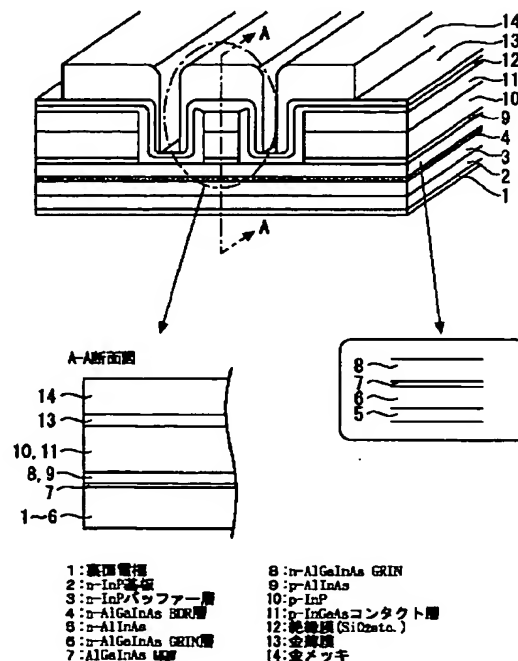
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 過度に集中する電流によって電極が溶解してしまう不具合をなくすることができるようにする。

【解決手段】 金薄膜13と、金薄膜13上に形成された金メッキ14とを有する電極から電流を注入して動作させる半導体装置において、金メッキ14を金薄膜13をすべて覆うように形成することにより、金薄膜13と金メッキ14との界面をなくし、金薄膜13に過度の電流が集中する部位を取り除くことができるようにする。



【特許請求の範囲】

【請求項 1】 金を含む薄膜と、上記薄膜上に形成された金を含むメッキとを有する電極から電流を注入して動作させる半導体装置において、上記メッキが上記薄膜をすべて覆っている形状の電極構造を有することを特徴とする半導体装置。

【請求項 2】 上記メッキの厚みが 2000 nm より薄く形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記メッキの厚みが位置的分布を持ち、劈開部における上記メッキの厚みが他の領域と比べて相対的に薄く形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 上記劈開部における上記メッキの厚みが 2000 nm より薄く形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 上記メッキは、厚みが 2000 nm より薄く上記薄膜をすべて覆っている第 1 のメッキと、上記第 1 のメッキの上に部分的に形成された第 2 のメッキとを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 少なくとも劈開部においては上記第 1 のメッキのみを有することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 金を含む薄膜と、上記薄膜上に形成された金を含むメッキとを有する電極から電流を注入して動作させる半導体装置において、上記薄膜と上記メッキとの界面に導電性材料が形成されている形状の電極構造を有することを特徴とする半導体装置。

【請求項 8】 少なくとも劈開部における上記導電性材料の厚みが、メッキの厚みと比べて薄く形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 上記半導体装置はリッジ導波路型半導体レーザであることを特徴とする請求項 1～8 の何れか 1 項に記載の半導体装置。

【請求項 10】 電極から電流を注入して動作させる半導体装置の上記電極を製造する方法であって、金を含む薄膜を成膜した後、上記薄膜上の全面に金を含むメッキを施すことによって上記電極を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項 11】 上記メッキの厚みを 2000 nm より薄く形成するようにしたことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 少なくとも劈開部における上記メッキの厚みを 2000 nm より薄く形成するようにしたことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 13】 電極から電流を注入して動作させる半導体装置の上記電極を製造する方法であって、

金を含む薄膜を成膜した後、上記薄膜上の全面に厚みが 2000 nm より薄く金を含む第 1 のメッキを施し、次いで上記第 1 のメッキの上に第 2 のメッキを部分的に施すことによって上記電極を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項 14】 電極から電流を注入して動作させる半導体装置の上記電極を製造する方法であって、金を含む薄膜およびその上に金を含むメッキを形成した後、上記薄膜と上記メッキとの界面に導電性材料を付加することによって上記電極を形成するようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に、光デバイスあるいは電子デバイスに必須となる電極の構造、より具体的には、特に小さな面積を有する電極に電流を注入する場合に有効となる電極構造およびその製造方法に関するものである。

【0002】

【従来の技術】一般に、光デバイスや電子デバイスでは、デバイス外部よりデバイスに電力を供給する場合、電力供給用の電極が必要となる。例えば光デバイスの場合、この電極は、n 型または p 型の不純物濃度が $1 \times 10^{19} / \text{cm}^3$ 以上ドーピングされた半導体の上に、n 型電極であるならば例えば AuGeNi、TiAu、CrAu などの金薄膜、p 型電極であるならば例えば AuZn などの金薄膜を真空蒸着し、更にこの金薄膜上に金メッキを施した構造となっている。このように積層構造を取らなければならないのは、電極と半導体とでオーミックコンタクトを取る必要があるためと、電極構造自体の強度を上げるためである。

【0003】図 5 に従来の光デバイスにおける電極構造の模式図を示す。光デバイスに電流を注入するための電極構造として、金薄膜 13 (膜厚 40～300 nm) および金メッキ 114 (膜厚 2000～3000 nm) が備えられている。

【0004】金薄膜 13 は、金薄膜 13 が接する半導体の伝導型によって異なる材料が用いられる。p 型半導体ならば例えば AuZn (膜厚 40～300 nm)、n 型半導体ならば例えば AuGeNi、TiAu、CrAu (膜厚 50～200 nm) などが用いられる。

【0005】図 5 に示すように、金メッキ 114 は、金薄膜 13 の上にデバイス端部を除いて施される。金メッキ 114 がデバイス端部まで施されていないのは、厚い金メッキ 114 がデバイス端部までであると、劈開してデバイスを分離するのが困難になってしまうためである。この場合、金薄膜 13 の面積が金メッキ 114 のそれよりも大きいので、金薄膜 13 と金メッキ 114 との間には界面が生じる。

【0006】電流が半導体のいわゆるコンタクト層 11

(膜厚600nm)の領域だけに流れ込むように、絶縁膜12(膜厚200nm程度)が電極材料の下に形成されている。この絶縁膜12は高い抵抗率を有する材料であればどんなものでもよく、一般的には SiO_2 や SiN 、場合によっては高抵抗化した半導体材料が用いられる。コンタクト層11より注入された電流は、活性層4を流れ、半導体と反対の伝導性を有する基板を通り、最後に裏面電極1(膜厚~1000nm)に至る。

【0007】

【発明が解決しようとする課題】半導体デバイスにおいては電極が重要である。しかしながら、その電極を通じてデバイスに電流を注入する際、金薄膜13と金メッキ114との比抵抗が異なるために、金薄膜13と金メッキ114との界面に電流が集中してしまう。これは、金薄膜13と金メッキ114の電導率が異なる結果、界面に過度に電流が集中する領域ができるために生じる。そのため、図6に示すように、半導体(コンタクト層11)上の界面に当たる部分の金薄膜100がそのジュール熱で溶解してしまうという不具合が生じることがあった。

【0008】今、光デバイスを例に挙げて従来技術とその課題を述べたが、金薄膜の上に金メッキを有する電極構造をもつ電子デバイスで、金薄膜の面積が金メッキの面積よりも大きいすべての電子デバイスにおいても上述の不具合が生じることが予想される。

【0009】本発明は、このような問題を解決するために成されたものであり、過度に集中する電流によって電極が溶解してしまう不具合をなくすることができるようにすることを目的とする。

【0010】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、金を含む薄膜と、薄膜上に形成された金を含むメッキとを有する電極から電流を注入して動作させる半導体装置において、メッキが薄膜をすべて覆っている形状の電極構造を有するものである。この発明の請求項2に係る半導体装置は、メッキの厚みが2000nmより薄く形成されているものである。

【0011】この発明の請求項3に係る半導体装置は、メッキの厚みが位置的分布を持ち、劈開部におけるメッキの厚みが他の領域と比べて相対的に薄く形成されているものである。この発明の請求項4に係る半導体装置は、劈開部におけるメッキの厚みが2000nmより薄く形成されているものである。

【0012】この発明の請求項5に係る半導体装置は、メッキは、厚みが2000nmより薄く薄膜をすべて覆っている第1のメッキと、第1のメッキの上に部分的に形成された第2のメッキとを有するものである。この発明の請求項6に係る半導体装置は、少なくとも劈開部においては第1のメッキのみを有するものである。

【0013】この発明の請求項7に係る半導体装置は、

金を含む薄膜と、薄膜上に形成された金を含むメッキとを有する電極から電流を注入して動作させる半導体装置において、薄膜とメッキとの界面に導電性材料が形成されている形状の電極構造を有するものである。この発明の請求項8に係る半導体装置は、少なくとも劈開部における導電性材料の厚みが、メッキの厚みと比べて薄く形成されているものである。この発明の請求項9に係る半導体装置は、リッジ導波路型半導体レーザである。

【0014】この発明の請求項10に係る半導体装置の製造方法は、電極から電流を注入して動作させる半導体装置の電極を製造する方法であって、金を含む薄膜を成膜した後、薄膜上の全面に金を含むメッキを施すことによって電極を形成するようにしたものである。この発明の請求項11に係る半導体装置の製造方法は、メッキの厚みを2000nmより薄く形成するようにしたものである。この発明の請求項12に係る半導体装置の製造方法は、少なくとも劈開部におけるメッキの厚みを2000nmより薄く形成するようにしたものである。

【0015】この発明の請求項13に係る半導体装置の製造方法は、電極から電流を注入して動作させる半導体装置の電極を製造する方法であって、金を含む薄膜を成膜した後、薄膜上の全面に厚みが2000nmより薄く金を含む第1のメッキを施し、次いで第1のメッキの上に第2のメッキを部分的に施すことによって電極を形成するようにしたものである。

【0016】この発明の請求項14に係る半導体装置の製造方法は、電極から電流を注入して動作させる半導体装置の電極を製造する方法であって、金を含む薄膜およびその上に金を含むメッキを形成した後、薄膜とメッキとの界面に導電性材料を付加することによって電極を形成するようにしたものである。

【0017】

【発明の実施の形態】以下、本発明の一実施の形態を図面に基いて説明する。なお、以下では光デバイスを例に挙げて説明するが、金薄膜の上に金メッキを有する電極構造をもつ電子デバイスで、金薄膜の面積が金メッキの面積よりも大きいすべての電子デバイスにおいても上述の不具合が生じることが予想される。したがって、以下の実施の形態で提案する電極構造は、金薄膜上に金メッキを有する電極構造を持つすべての光デバイスおよび電子デバイスに適用することが可能である。

【0018】すなわち、本発明は、特に小さな面積を有する電極構造に電流を注入する場合に適用して有効なものとなる。以下に述べる各実施の形態では、電極面積が一般に小さくなり、注入電流値が大きい半導体光デバイスの場合を例にとって説明するが、例えばDRAM、SRAM、CPUなどの一般の電子デバイスまで拡張を行っても電極の果たす役割は同じであるため、本発明の適用範囲は一般の電子デバイスまで及ぶ。

【0019】実施の形態1. 図1は、実施の形態1に係る

る半導体光デバイスの構造を示す図である。図1に示す半導体光デバイスは、公知の技術を用いて作製したリッジ導波路型半導体レーザである。なお、レーザ構造をエビタキシャル成長する半導体基板の伝導型は問わない。また、どんな種類の半導体材料(InP, GaAs, Si等)を基板またはレーザ構造に用いたとしても、本発明の一般性は失わない。

【0020】ここでは便宜上、n-InP基板上に作製したAlGaInAsリッジレーザを例にとってその製造プロセスを説明することとする。はじめに、裏面電極1の上に形成したn-InP単結晶基板2上に、n-InPバッファ層3(膜厚0.3~1.0μm)とn-AlGaInAsBDR層(活性層)4(膜厚0.05~0.1mm)とをエビタキシャル成長する。

【0021】さらにその上に、n-AlInAs光閉じ込め層5(膜厚0.05~0.1μm)、n-AlGaInAsGRIN層6(膜厚0.75~1.25μm)、AlGaInAsMQW構造7、AlGaInAsGRIN層8(膜厚0.75~1.25μm)をエビタキシャル成長する。この後、p-AlInAs層9、p-InP層10(1~2μm)、p-InGaAsコンタクト層11(0.5~1.0μm)をエビタキシャル成長し、エビウエハの作製を終了する。

【0022】その後、公知のリッジレーザのウエハプロセスを行う。すなわち、まずコンタクト層11だけに電流を流入するようにするために、例えばSiO₂などの絶縁膜12(膜厚50~200nm)を成膜する。そして、その絶縁膜12の上に金薄膜13(膜厚200~300nm)を堆積し、更にその上に金メッキ14を堆積する。

【0023】従来のリッジレーザのウエハプロセスでは、図5に示したように、金薄膜13の上に膜厚2000~3000nmの金メッキ14を部分的(デバイス端部を除く領域)に堆積していた。これに対して、本実施の形態1では、従来よりも薄い(例えば膜厚150nm程度の)金メッキ14を金薄膜13上にすべて堆積する。このようにすることで、金薄膜13と金メッキ14との界面がなくなるので、過度の電流集中を回避することができ、電極の溶断をなくすることができる。

【0024】すなわち、上記のように構成した半導体デバイス(図1ではレーザダイオード)では、通常の半導体光デバイスのように、上部および下部の電極1, 14から注入された電子と正孔が、量子井戸7で再結合してレーザ発振に至る。このとき、金薄膜13と金メッキ14との間には界面がないため、過度の電流が集中する部位がなくなり、図6で示したリッジ構造上の電極溶解をなくすることができる。

【0025】また、本実施の形態1では、金メッキ14の膜厚(150nm程度)を従来の金メッキ114の膜厚(2000~3000nm)と比べて薄く形成してい

るので、金メッキ14をデバイス端部(劈開部)まで堆積しても、デバイス端部での劈開を容易に行うことができる。

【0026】なお、今の例では、金メッキ14の膜厚を従来の金メッキ114の膜厚よりも薄くする例について説明したが、金メッキ14の膜幅を従来よりも狭くするようにしても良い。この場合も、金メッキ14をデバイス端部まで堆積しても、デバイス端部での劈開を容易に行うことができる。もちろん、金メッキ14の膜厚と膜幅の両方を小さくするようにしても良い。

【0027】実施の形態2、図2は、実施の形態2に係る半導体光デバイスの構造を示す図である。図2に示す半導体光デバイスも、公知の技術を用いて作製したリッジ導波路型半導体レーザである。なお、リッジレーザのエビウエハを作製するまでの手順および金薄膜13を作製するまでの手順は、実施の形態1の場合と同様であり、ここでは重複する説明を省略する。また、デバイスの構造については、実施の形態1と同じ部分に同じ符号を付すとともに図示を簡略化し、金メッキ周辺の構造のみを詳細に示している。

【0028】本実施の形態2においても、金メッキ24を金薄膜13上にすべて堆積する。ただし、金薄膜13上に金メッキ24を堆積する際に、リッジ上部からデバイス端部に至る金メッキ部24の厚みに傾斜をかけ、デバイス端部での厚みを例えば150nm以下にして作製する。

【0029】このようにすることにより、金薄膜13と金メッキ24との界面がなくなるので、金薄膜13から過度の電流が集中する部位を取り除くことができ、金薄膜13が溶解する故障を防ぐことが可能となる。

【0030】また、少なくともデバイス端部における金メッキ24の膜厚が従来と比べて薄いので、金メッキ24をデバイス端部まで堆積しても、デバイス端部での劈開を容易に行うことができる。なお、金メッキ24の膜幅あるいは膜厚と膜幅の両方を従来より小さくするようにしても良い。

【0031】さらに、本実施の形態2では、金薄膜13上の全ての領域で金メッキ24の膜厚を薄くするのではなく、デバイス端部における膜厚と比べて相対的に厚い部分も有することにより、電極と半導体とのオーミックコンタクトおよび電極構造の強度を十分に得ることができるというメリットも有する。

【0032】実施の形態3、図3は、実施の形態3に係る半導体光デバイスの構造を示す図である。図3に示す半導体光デバイスも、公知の技術を用いて作製したリッジ導波路型半導体レーザである。なお、リッジレーザのエビウエハを作製するまでの手順および金薄膜13を作製するまでの手順は、実施の形態1, 2の場合と同様であり、ここでは重複する説明を省略する。また、デバイスの構造については、実施の形態1, 2と同じ部分に同

じ符号を付すとともに図示を簡略化し、金メッキ周辺の構造のみを詳細に示している。

【0033】本実施の形態3においては、従来よりも薄い膜厚（例えば150nm程度）の第1の金メッキ14を金薄膜13上にすべて堆積し、さらにその上に、従来の金メッキ114と同じ構造にて同じ膜厚（2000～3000nm）の第2の金メッキ34を部分的（デバイス端部を除く領域）に堆積する。

【0034】このようにすることにより、金薄膜13と金メッキ14との界面がなくなるので、金薄膜13に過度の電流が流れるバスをなくすことができ、金薄膜13が溶解する故障を防ぐことが可能となる。

【0035】また、少なくともデバイス端部においては、従来と比べて膜厚が薄い第1の金メッキ14が堆積されているので、第1の金メッキ14をデバイス端部まで堆積しても、デバイス端部での劈開を容易に行うことができる。なお、第1の金メッキ14の膜幅あるいは膜厚と膜幅の両方を従来より小さくするようにしても良い。

【0036】さらに、本実施の形態3では、金薄膜13上の全ての領域で金メッキの膜厚を薄くするのではなく、第1の金メッキ14に加えて第2の金メッキ34も堆積された膜厚の厚い部分も有することにより、電極と半導体とのオーミックコンタクトおよび電極構造の強度を十分に得ることができるというメリットも有する。

【0037】実施の形態4、図4は、実施の形態4に係る半導体光デバイスの構造を示す図である。図4に示す半導体光デバイスも、公知の技術を用いて作製したリッジ導波路型半導体レーザである。なお、リッジレーザのエピウエハを作製するまでの手順と金メッキ114を作製するまでの手順およびそのデバイスの構造は従来の場合と同様である。

【0038】本実施の形態4においては、金薄膜13と金メッキ114との界面で生じる過度の電流が流れるバスを生じさせないために、金薄膜13と金メッキ114との界面に導電性材料41を形成する。例えば、金を主として含む材料を蒸着する。この例では、金薄膜13上に導電性材料41を作製する場合、リッジ上部からデバイス端部に至る導電性材料41の厚みに傾斜をかけ、デバイス端部での厚みが例えば150nm以下になるようにする。

【0039】このようにすることにより、金薄膜13と金メッキ114との界面がなくなるので、金薄膜13が溶解する故障を防ぐことができる。また、少なくともデ

バイス端部における導電性材料41の厚は十分に薄くなっているため、導電性材料41をデバイス端部まで堆積しても、デバイス端部での劈開を容易に行うことが可能である。

【0040】さらに、本実施の形態4では、金薄膜13上のデバイス端部以外の領域に、従来と同じ膜厚を有する金メッキ114を堆積しているため、電極と半導体とのオーミックコンタクトおよび電極構造の強度を十分に得ることができるというメリットも有する。

【0041】なお、以上に説明した各実施形態は、何れも本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0042】

【発明の効果】この発明は、以上説明したような電極の構造を用いているため、薄膜に過度の電流が集中する部位を取り除くことができ、電極が溶解する不具合を防ぐことができる。

【0043】この発明の他の態様では、少なくともデバイス端部におけるメッキの厚みを従来と比べて薄く形成しているため、メッキをデバイス端部まで堆積しても、デバイス端部での劈開を容易に行うことができる。

【0044】この発明による電極構造は、光デバイスや電子デバイス一般に適用できるが、特に注入電流値が大きい光デバイスの電極に適用した場合に顕著な効果が期待できる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体光デバイスの構造を示す図である。

【図2】 実施の形態2に係る半導体光デバイスの構造を示す図である。

【図3】 実施の形態3に係る半導体光デバイスの構造を示す図である。

【図4】 実施の形態4に係る半導体光デバイスの構造を示す図である。

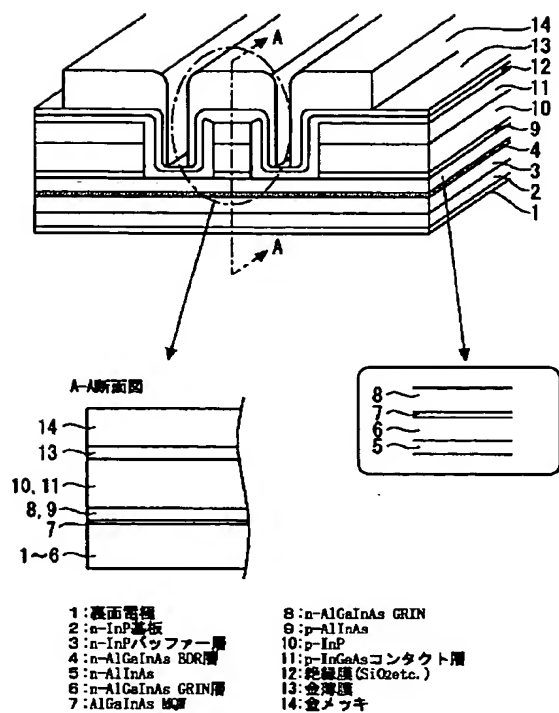
【図5】 従来の半導体光デバイスの構造を示す図である。

【図6】 従来の問題点を説明するための図である。

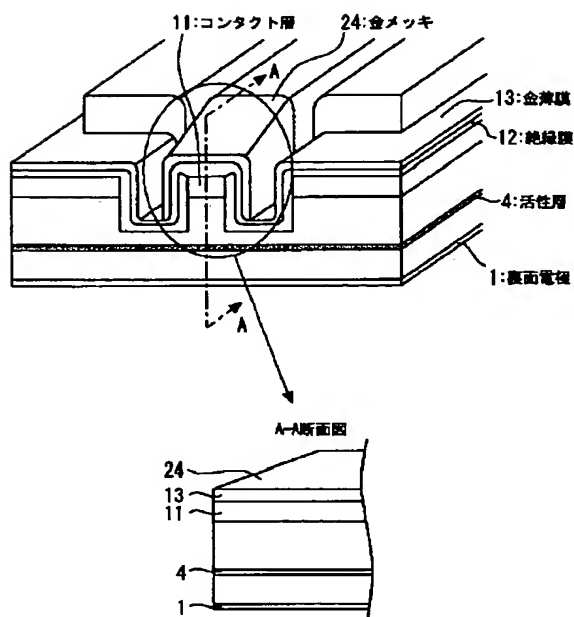
【符号の説明】

11 コンタクト層、 12 絶縁膜、 13 金薄膜、 14、24、34、114 金メッキ、 41 導電性材料。

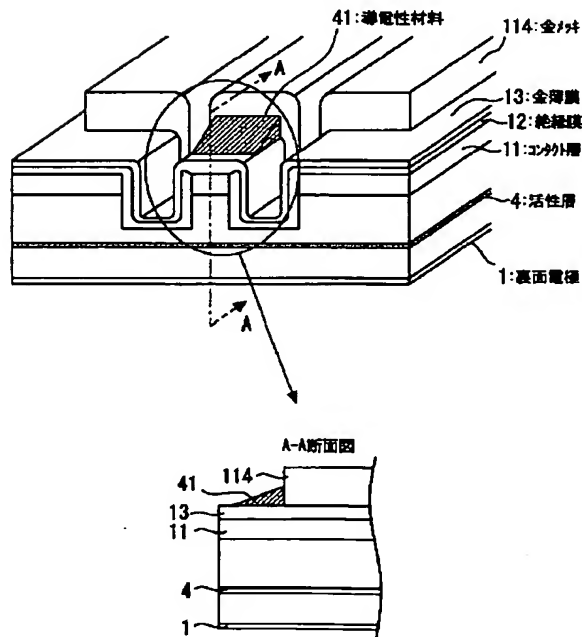
【図1】



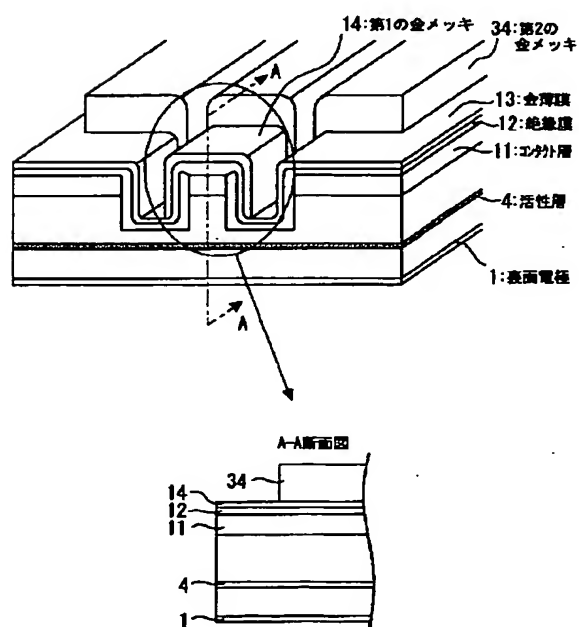
【図2】



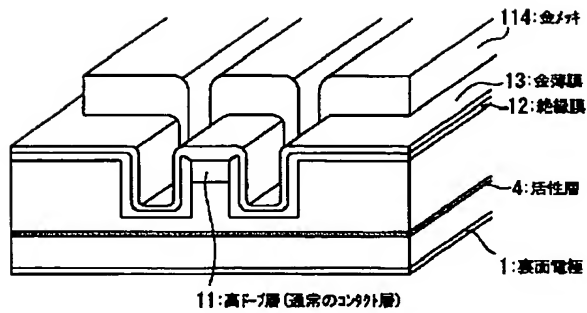
【図4】



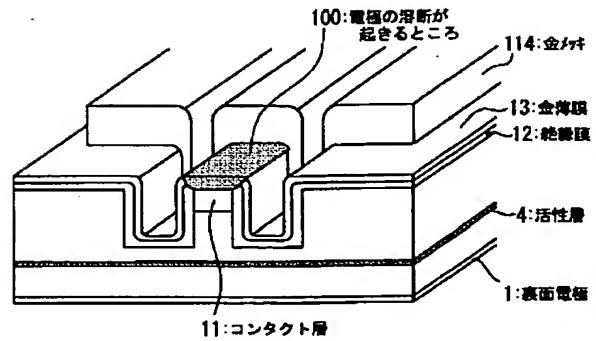
【図3】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

H01S 5/042
5/22

識別記号

612

F I

H01S 5/042
5/22

タームコード(参考)

612

(72)発明者 瀧口 透

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 4K024 AA11 AA24 AB02 AB03 AB06

AB08 AB09 AB15 AB19 BA01

BB12 BC10 GA16

4M104 AA01 AA04 AA05 BB04 BB11

BB12 DD52 DD53 FF01 FF06

FF13 GG04 GG16 HH15 HH20

5F073 AA13 AA46 AA61 AA74 CA15

CB02 CB10 CB22 DA32 EA27

EA28

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 7 部門第 2 区分
 【発行日】 平成 17 年 7 月 14 日 (2005.7.14)

【公開番号】 特開 2002-246333(P2002-246333A)
 【公開日】 平成 14 年 8 月 30 日 (2002.8.30)
 【出願番号】 特願 2001-41188(P2001-41188)
 【国際特許分類第 7 版】

H 0 1 L 21/288
 C 2 5 D 7/12
 H 0 1 L 21/28
 H 0 1 S 5/042
 H 0 1 S 5/22

【F I】

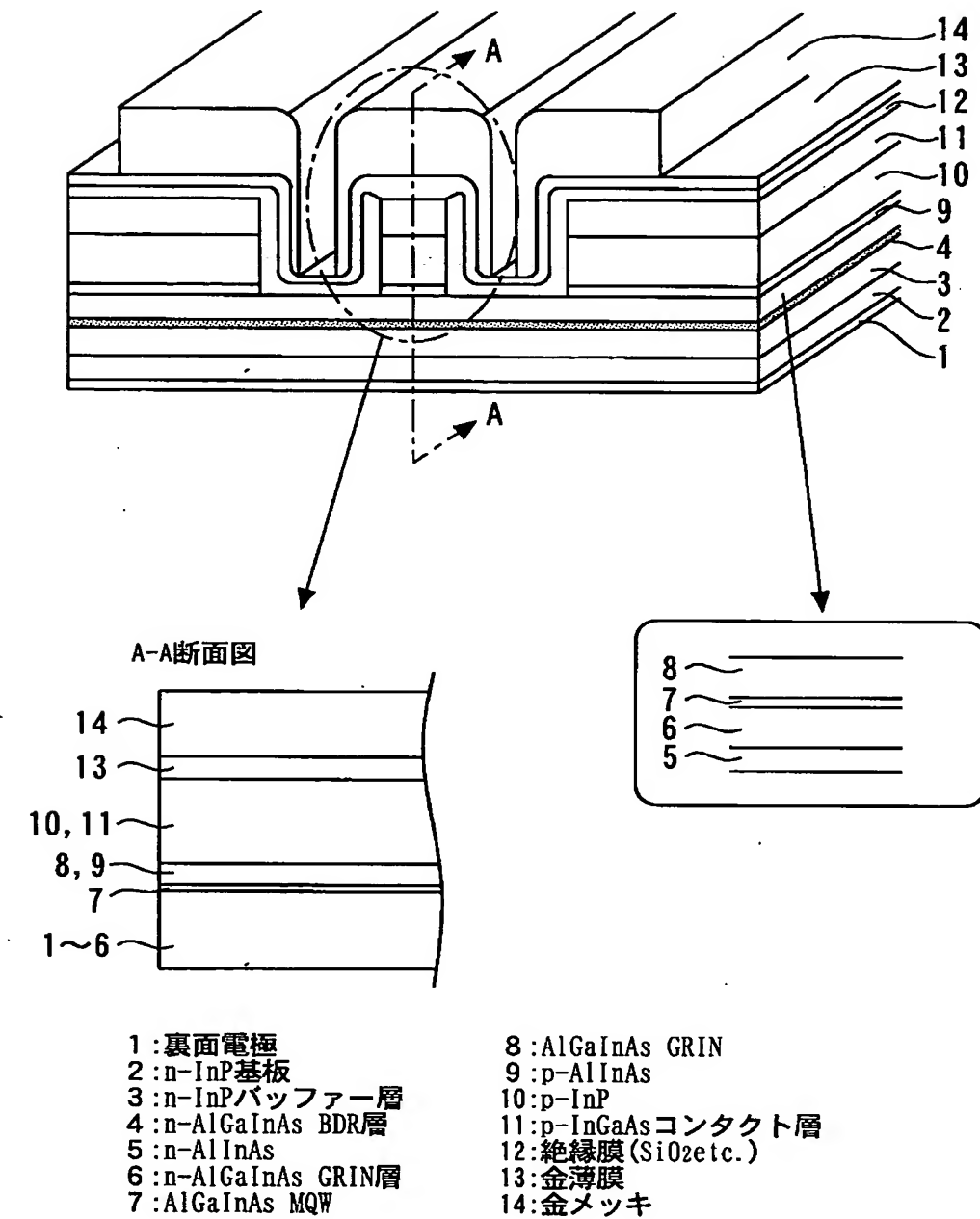
H 0 1 L	21/288	M
H 0 1 L	21/288	E
H 0 1 L	21/288	Z
C 2 5 D	7/12	
H 0 1 L	21/28	3 0 1 H
H 0 1 S	5/042	6 1 2
H 0 1 S	5/22	

【手続補正書】
 【提出日】 平成 16 年 11 月 12 日 (2004.11.12)
 【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 0 0 2 0
 【補正方法】 変更
 【補正の内容】
 【0 0 2 0】

ここでは便宜上、 n -InP 基板上に作製した AlGaInAs リッジレーザを例にと
 ってその製造プロセスを説明することとする。はじめに、裏面電極 1 の上に形成した n -
 InP 単結晶基板 2 上に、 n -InP バッファ層 3 (膜厚 0.3~1.0 μ m) と n -
AlGaInAs BDR 層 4 (膜厚 0.05~0.1 mm) をエピタキシャル成長する。

【手続補正 2】
 【補正対象書類名】 図面
 【補正対象項目名】 図 1
 【補正方法】 変更
 【補正の内容】

【図 1】



【手続補正 3】

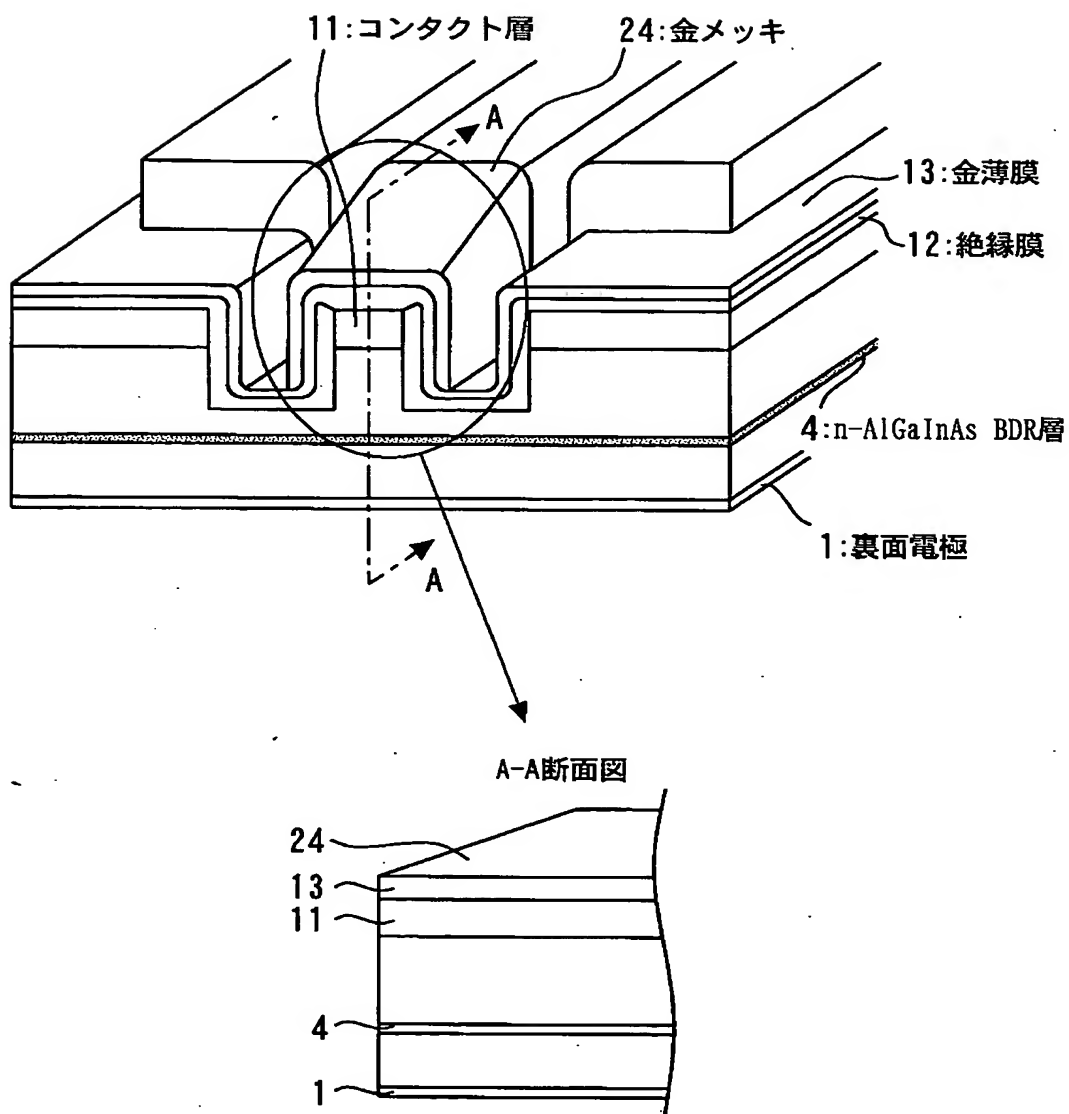
【補正対象書類名】 図面

【補正対象項目名】 図 2

【補正方法】 変更

【補正の内容】

【図 2】



【手続補正 4】

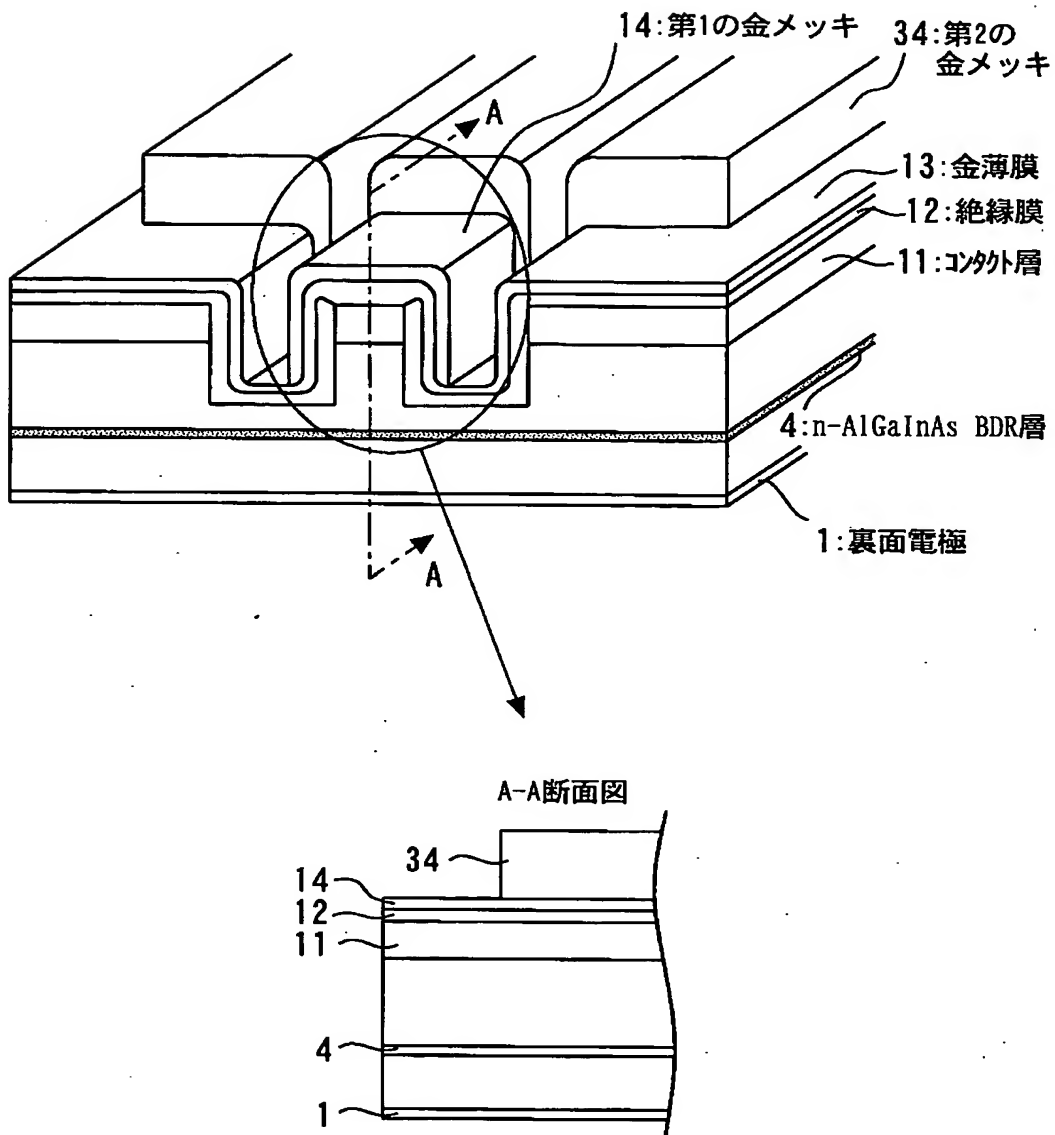
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【図 3】



【手続補正 5】

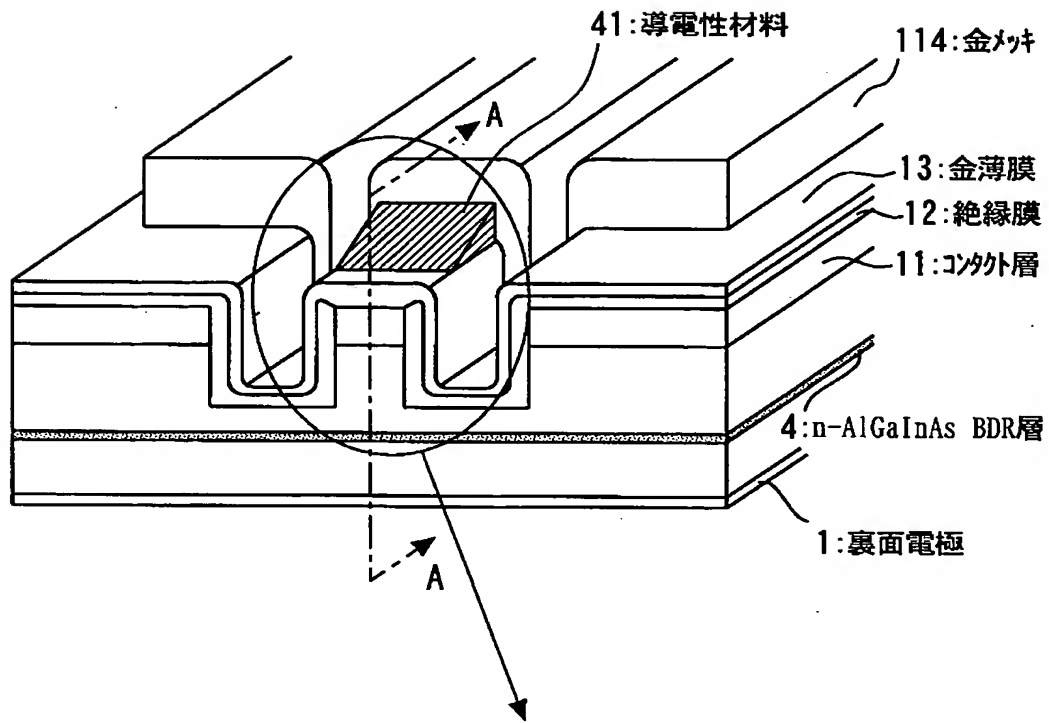
【補正対象書類名】 図面

【補正対象項目名】 図 4

【補正方法】 変更

【補正の内容】

【図 4】



A-A断面図

